

Am

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

16185257

Basic Patent (No,Kind,Date): JP 2000194327 A2 20000714 <No. of Patents: 001>

DISPLAY DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): KARIBE MASAO

IPC: \*G09G-003/36; G02F-001/133; G09G-003/20

Derwent WPI Acc No: \*G 00-509136; G 00-509136

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000194327	A2	20000714	JP 98374700	A	19981228 (BASIC)

Priority Data (No,Kind,Date):

JP 98374700 A 19981228

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06608522     \*\*Image available\*\*

DISPLAY DEVICE

PUB. NO.:     **2000-194327** [JP 2000194327 A]

PUBLISHED:     July 14, 2000 (20000714)

INVENTOR(s):   KARIBE MASAO

APPLICANT(s): TOSHIBA CORP

APPL. NO.:     10-374700 [JP 98374700]

FILED:           December 28, 1998 (19981228)

INTL CLASS:     G09G-003/36; G02F-001/133; G09G-003/20

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To provide a display device provided with analog buffer reduced in the fluctuation of an output voltage caused by the dispersion in electric characteristics.

**SOLUTION:** This device has a signal line driving circuit in which an analog buffer 13 is provided to supply pixel data to a signal line. The buffer 13 has a source follower circuit 20, a first thin film transistor(TFT) switch 22 which is connected between a gate terminal of a TFT 21 in the circuit 20 and a power supply terminal V3, second and third TFT switches 23 and 24 which are serially connected between a source terminal of the TFT 21 and a pixel data input terminal, and a capacitor C1 which is connected between the connecting point of the switches 23 and 24 and the gate terminal of the TFT 21. The switches 22 to 24 are switch controlled so that the output voltage of the circuit 20 receives no adverse effect of a threshold voltage of the TFT 21.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-194327

(P 2 0 0 0 - 1 9 4 3 2 7 A)

(43) 公開日 平成12年7月14日 (2000. 7. 14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G09G 3/36		G09G 3/36	
G02F 1/133	550	G02F 1/133	550
G09G 3/20	623	G09G 3/20	623 B

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平10-374700

(22) 出願日 平成10年12月28日 (1998. 12. 28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 荻 部 正 男

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷電子工場内

(74) 代理人 100064285

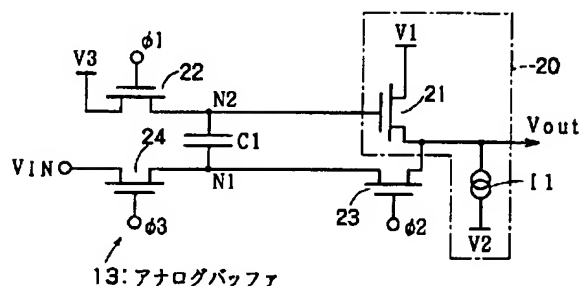
弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 電気的特性のばらつきによる出力電圧の変動が少ないアナログバッファを備えた表示装置を提供する。

【解決手段】 本発明の表示装置は、信号線駆動回路を有し、その内部には、信号線に画素データを供給するアナログバッファが設けられる。アナログバッファ13は、ソースフォロワ回路20と、ソースフォロワ回路20内のTFT21のゲート端子と電源端子V3との間に接続された第1のTFTスイッチ22と、TFT21のソース端子と画素データ入力端子との間に直列に接続された第2および第3のTFTスイッチ23、24と、第2および第3のTFTスイッチ23、24の接続点とTFT21のゲート端子との間に接続されたキャパシタC1とを有する。ソースフォロワ回路の出力電圧がTFT21のしきい値電圧の影響を受けないように、第1～第3のTFTスイッチ22～24を切替制御する。



## 【特許請求の範囲】

【請求項1】列設された表示素子と、  
前記表示素子のそれぞれに画素データを供給する複数の信号線と、  
各信号線を駆動する信号線駆動回路と、を備えた表示装置において、  
前記信号線駆動回路は、信号線のそれぞれに対応して設けられ各信号線に画素データを供給する複数のアナログバッファを有し、  
前記アナログバッファは、  
ソースフォロワ回路と、  
前記ソースフォロワ回路の入力端子と第1の電圧端子との間に接続される第1のスイッチと、  
前記ソースフォロワ回路の出力端子と画素データ入力端子との間に直列に接続される第2および第3のスイッチと、  
前記ソースフォロワ回路の入力端子と前記第1のスイッチとの接続点に一端が接続され、前記第2および第3のスイッチの接続点に他端が接続されるキャパシタと、を有し、  
前記ソースフォロワ回路の出力電圧が前記画素データ入力端子に入力される電圧と略等しくなるように、前記第1、第2および第3のスイッチを切替制御することを特徴とする表示装置。

【請求項2】前記ソースフォロワ回路の出力電圧が前記ソースフォロワ回路内のトランジスタのしきい値電圧の影響を受けて変動しないように、前記第1、第2および第3のスイッチを切替制御することを特徴とする請求項1に記載の表示装置。

【請求項3】前記ソースフォロワ回路は、その出力端子と第2の電圧端子との間に接続される定電流源を有することを特徴とする請求項1または2に記載の表示装置。

【請求項4】前記ソースフォロワ回路は、その出力端子と第2の電圧端子との間に接続されるインピーダンス素子を有することを特徴とする請求項1または2に記載の表示装置。

【請求項5】前記第1および第2のスイッチをオンし、かつ、前記第3のスイッチをオフして前記キャパシタを充電し、その後、前記第1および第2のスイッチをオフし、かつ前記第3のスイッチをオンするスイッチ制御回路を備えることを特徴とする請求項1～4のいずれかに記載の表示装置。

【請求項6】前記ソースフォロワ回路の出力端子と第2の電圧端子との間に接続される第4のスイッチを備え、前記第4のスイッチをオンして前記ソースフォロワ回路の出力端子を前記第2の電圧端子と略等しい電圧に設定した後、前記第1および第2のスイッチをオンし、かつ、前記第3のスイッチをオフして前記キャパシタを充電し、その後、前記第1および第2のスイッチをオフし、かつ前記第3のスイッチをオンするスイッチ制御回

路を備えることを特徴とする請求項4に記載の表示装置。

【請求項7】表示素子と、  
前記表示素子に画素データを供給する信号線と、  
信号線を駆動する信号線駆動回路と、を備え、  
前記信号線駆動回路は、  
信号線のそれぞれに対応して設けられ画素データに対応する信号線に供給するか否かを切り替えるアナログスイッチと、  
10 前記アナログスイッチと対応する信号線との間にそれぞれ接続される複数のアナログバッファと、を有する表示装置において、  
前記アナログバッファは、  
ボルテージフォロワ接続された差動増幅回路と、  
前記差動増幅回路の一方の差動入力端子と電源端子との間に接続された第1のスイッチと、  
画素データ入力端子と前記差動増幅回路の出力端子との間に直列に接続された第2および第3のスイッチと、  
前記一方の差動入力端子と前記第1のスイッチとの接続点に一端が接続され、前記第2および第3のスイッチの接続点に他端が接続されるキャパシタと、を有し、  
20 前記差動増幅回路の出力電圧が前記画素データ入力端子に入力される電圧と略等しくなるように、前記第1、第2および第3のスイッチを切替制御することを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、表示素子に画素データを供給する信号線の駆動回路に関し、例えば、液晶表示部と駆動回路とが同一基板上に形成された駆動回路一体型の液晶表示装置などを対象とする。

## 【0002】

【従来の技術】液晶表示部とその駆動回路を一体に集積化して、小型化および消費電力の低減を図る技術が提案されている。この種の駆動回路一体型の液晶表示装置は、マトリクス配置された画素TFT(Thin Film Transistor)と、画素TFTのゲート端子に接続された走査線を駆動する走査線駆動回路と、画素TFTのソース端子に接続された信号線を駆動する信号線駆動回路とを備え、走査線駆動回路および信号線駆動回路内のTFTは画素TFTと同一工程により形成される。

【0003】信号線駆動回路は、外部から供給される映像信号をサンプリングして各信号線に供給するアナログスイッチ群と、各アナログスイッチのオン・オフ制御用のタイミング信号を出力するタイミング信号発生回路とを有し、アナログスイッチ群には映像信号バスが接続される。

【0004】アナログスイッチやタイミング信号発生回路はTFTにより形成されるため、アナログスイッチの電流駆動能力やタイミング信号発生回路の動作周波数

は、TFTの電気的特性による制限を受ける。このため、アナログスイッチの動作周波数には限界があり、解像度が高い場合、すなわち、信号線の本数が多い場合には、アナログスイッチ群を複数のブロックに分割し、各ブロックを並列駆動することにより、タイミング信号発生回路の動作周波数を低くする等の対策が取られる。

【0005】最近、大画面サイズで高解像度の液晶表示装置の開発が盛んに行われているが、画面サイズを大きくしたり、画素数を増やしたりすると、信号線容量が大きくなり、映像信号バスの伝送帯域が不足したり、信号線容量に十分な量の電荷を蓄積できない等の問題が生じる。

【0006】

【発明が解決しようとする課題】このような問題を解消する一手法として、アナログスイッチと信号線との間にアナログバッファを接続し、アナログスイッチを通過した映像信号をアナログバッファで増幅してから各信号線に供給する手法が提案されている。

【0007】アナログバッファの入力負荷は、信号線の負荷に比べて十分に小さいので、映像信号の伝送に適しているが、電気的特性のばらつきの少ない高精度のアナログバッファを形成することが技術的に困難であったため、アナログバッファを用いても、表示ムラ等の画像品質の劣化が起きるおそれがあった。

【0008】本発明は、このような点に鑑みてなされたものであり、その目的は、電気的特性のばらつきによる出力電圧の変動が少ないアナログバッファを備えた表示装置を提供することにある。

【0009】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、列設された表示素子と、前記表示素子のそれぞれに画素データを供給する複数の信号線と、各信号線を駆動する信号線駆動回路と、を備えた表示装置において、前記信号線駆動回路は、信号線のそれぞれに対応して設けられ各信号線に画素データを供給する複数のアナログバッファを有し、前記アナログバッファは、ソースフォロワ回路と、前記ソースフォロワ回路の入力端子と第1の電圧端子との間に接続される第1のスイッチと、前記ソースフォロワ回路の出力端子と画素データ入力端子との間に直列に接続される第2および第3のスイッチと、前記ソースフォロワ回路の入力端子と前記第1のスイッチとの接続点に一端が接続され、前記第2および第3のスイッチの接続点に他端が接続されるキャパシタと、を有し、前記ソースフォロワ回路の出力電圧が前記画素データ入力端子に入力される電圧と略等しくなるように、前記第1、第2および第3のスイッチを切替制御する。

【0010】また、請求項7の発明は、表示素子と、前記表示素子に画素データを供給する信号線と、信号線を駆動する信号線駆動回路と、を備え、前記信号線駆動回

路は、信号線のそれぞれに対応して設けられ画素データに対応する信号線に供給するか否かを切り替えるアナログスイッチと、前記アナログスイッチと対応する信号線との間にそれぞれ接続される複数のアナログバッファと、を有する表示装置において、前記アナログバッファは、ボルテージフォロワ接続された差動増幅回路と、前記差動増幅回路の一方の差動入力端子と電源端子との間に接続された第1のスイッチと、画素データ入力端子と前記差動増幅回路の出力端子との間に直列に接続された第2および第3のスイッチと、前記一方の差動入力端子と前記第1のスイッチとの接続点に一端が接続され、前記第2および第3のスイッチの接続点に他端が接続されるキャパシタと、を有し、前記差動増幅回路の出力電圧が前記画素データ入力端子に入力される電圧と略等しくなるように、前記第1、第2および第3のスイッチを切替制御する。

【0011】

【発明の実施の形態】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。以下では、表示装置の一例として、液晶表示装置について説明する。

【0012】（第1の実施形態）図1は液晶表示装置の信号線駆動回路に内蔵されるアナログバッファの第1の実施形態の回路図、図2は液晶表示装置の概略構成を示すブロック図である。

【0013】本実施形態の液晶表示装置は、図2に示すように、画素TFT1がマトリクス状に配置された画素アレイ部2と、画素TFT1のゲート端子に接続された走査線を駆動する走査線駆動回路3と、画素TFT1のソース端子に接続された信号線を駆動する信号線駆動回路4とを、同一の透明基板上に形成したものである。

【0014】信号線駆動回路4は、シフトレジスタ11と、シフトレジスタ11の各出力端子によりオン・オフ制御されるアナログスイッチ12と、アナログスイッチ12と対応する信号線との間に接続されたアナログバッファ13とを有する。

【0015】各アナログスイッチ12には映像信号バスB1が接続される。図2では省略しているが、映像信号バスB1は複数本設けられ、異なる映像信号バスB1に接続された複数のアナログスイッチ12を同時にオン・オフすることにより、複数画素分の画素データが同時に信号線に供給される。

【0016】図2のアナログバッファ13は、図1に詳細構成を示すように、ソースフォロワ回路20と、ソースフォロワ回路20内のTFT21のゲート端子と電源端子V3との間に接続された第1のTFTスイッチ22と、TFT21のソース端子と画素データ入力端子VINとの間に直列に接続された第2および第3のTFTスイッチ23、24と、第2および第3のTFTスイッチ23、24の接続点（ノードN1）とTFT21のゲート

ト端子（ノードN2）との間に接続されたキャパシタC1とを有する。また、ソースフォロワ回路20は、負荷回路として作用する定電流源I1を有する。

【0017】第1および第2のTFTスイッチ22、23のゲート端子には、TFTのしきい値キャンセル用の制御信号φ1、φ2が入力され、第3のTFTスイッチ24のゲート端子には、サンプリング用の制御信号φ3が入力される。

【0018】制御信号φ1〜φ3は、図2に点線で示すタイミング調整回路10から出力される。

【0019】ここで、電源端子V3は第1の電圧端子に、TFTスイッチ22〜24はそれぞれ第1〜第3のスイッチに対応する。

【0020】図3は図1の各TFTスイッチ22〜24の切り替えタイミングを示すタイミング図である。以下、この図を用いてアナログバッファ13の動作を説明する。

【0021】まず、図3の時刻t1では、第3のTFTスイッチ24をオフし、第1および第2のTFTスイッチ22、23をオンする。これにより、TFT21のゲート端子（ノードN2）は電圧V3になり、TFT21がオンしてTFT21のソース端子は電圧VOUT=V3-Vthになる。ここで、Vthは、TFT21のしきい値電圧である。

【0022】また、第2のTFTスイッチ23がオンすることにより、ノードN1の電圧は(V3-Vth)になる。したがって、キャパシタC1の両端には、TFT20のしきい値電圧Vthと略等しい電圧が印加される。

【0023】次に、時刻t2では、全TFTスイッチ22〜24をとともにオフする。これにより、ノードN1、N2には時刻t2の直前の電圧が保持される。

【0024】次に、時刻t3では、第3のTFTスイッチ24をオンする。これにより、ノードN1の電圧は画素データ入力電圧Vsigになる。また、ノードN2の電圧は、Vsigにキャパシタの両端電圧Vthを加えた電圧(Vsig+Vth)になる。

【0025】このため、ソースフォロワ回路20の出力電圧Voutは、(1)式に示すように、TFT21のしきい値電圧の影響を受けなくなる。

【0026】

$$V_{out} = (V_{sig} + V_{th}) - V_{th} = V_{sig} \quad \dots (1)$$

このように、第1の実施形態では、信号線駆動回路4内のアナログバッファ13の出力電圧がアナログバッファ13内のTFTのしきい値電圧の影響を受けないようにしたため、信号線電圧の変動を抑制でき、表示品質を向上できる。

【0027】（第2の実施形態）図1ではソースフォロワ回路20の負荷回路として定電流源を用いる例を示したが、抵抗素子を用いてもよい。

【0028】図4はアナログバッファ13の第2の実施

形態の回路図であり、アナログバッファ13内のソースフォロワ回路20の負荷回路として、抵抗素子R1を用いた例を示している。

【0029】定電流源の代わりに抵抗素子R1を用いることにより、回路構成を簡略化でき、実装面積を削減できる。

【0030】（第3の実施形態）第2の実施形態のように、ソースフォロワ回路の負荷回路として抵抗を用いた場合には、出力インピーダンスを下げるために、ある程度定常的に電流を流す必要があり、消費電力が問題になる。このため、以下に説明する第3の実施形態は、消費電力の低減を図ったものである。

【0031】図5はアナログバッファ13の第3の実施形態の回路図である。図5の回路は、抵抗素子R1に並列に第4のTFTスイッチ25を接続し、かつ、抵抗素子R1の抵抗値を大きくして抵抗素子R1にあまり電流が流れないようにしている。

【0032】図6は図5のアナログバッファ13の動作タイミングを示すタイミング図である。以下、この図を用いて図6のアナログバッファ13の動作を説明する。まず、図6の時刻t0において、第4のTFTスイッチ25をオンし、TFT21のソース電圧、すなわちアナログバッファ13の出力電圧Voutを所定の基準電圧V2に設定する。その後、時刻t1以降は、図3の時刻t1以降と同様の処理を行う。

【0033】このように、第3の実施形態は、第4のTFTスイッチ25によりアナログバッファ13を所定の基準電圧V2に初期設定するため、その後は抵抗素子R1にあまり電流を流さなくても出力電圧Voutが変動するおそれはなく、ソースフォロワ回路20に常時流れる電流がわずかで済むことから、アナログバッファ13の消費電力を低減できる。

【0034】上述した各実施形態では、NMOS型のTFTを用いて回路を構成する例を説明したが、PMOS型のTFTを用いて回路を構成してもよい。また、NMOS型とPMOS型のTFTを混在させてもよい。

【0035】（第4の実施形態）第4の実施形態は、ソースフォロワ回路20の代わりにボルテージフォロワ回路を設けたことを特徴とする。

【0036】図7はアナログバッファ13の第4の実施形態の回路図である。図7のアナログバッファ13は、ボルテージフォロワ構成の差動増幅器OP1と、電源端子V3と差動増幅器OP1の正側入力端子との間に接続された第1のTFTスイッチ22と、差動増幅器OP1の出力端子と画素データ入力端子VINとの間に直列接続された第1および第2のTFTスイッチ23、24と、第1および第2のTFTスイッチ23、24の接続点（ノードN1）と差動増幅器OP1の正側入力端子との間に接続されたコンデンサC1とを備える。

【0037】図7のTFTスイッチ22〜24は、第1

の実施形態と同様に、図3のタイミング図に従って切り替え制御される。すなわち、まず、図3の時刻  $t_1$  において、TFTスイッチ22、23をオンしてTFTスイッチ24をオフする。これにより、差動増幅器OP1の正側入力端子（ノードN2）は電圧  $V_3$  になり、差動増幅器OP1の出力  $V_{out}$  は、 $(V_3 - V_{offset})$  になる。ここで、電圧  $V_{offset}$  は、差動増幅器OP1のオフセット電圧である。このため、キャパシタC1の両端電圧は、 $V_3 - (V_3 - V_{offset}) = V_{offset}$  になる。

【0038】次に、時刻  $t_3$  において、TFTスイッチ22、23をオフしてTFTスイッチ24をオンする。これにより、図7のノードN1は画素入力電圧  $V_{sig}$  になり、差動増幅器OP1の正側入力端子（ノードN2）の電圧は、 $(V_{sig} + V_{offset})$  になる。このため、差動増幅器OP1の出力電圧  $V_{out}$  は、電圧  $V_{sig}$  になり、オフセット電圧の影響を受けなくなる。

【0039】このように、第4の実施形態は、各TFTスイッチ22～24を切り替えることにより、差動増幅器OP1のオフセット電圧を相殺するような制御を行うため、差動増幅器OP1の出力電圧を画素データ入力端子VINの電圧と略等しくすることができる。

【0040】

【発明の効果】以上詳細に説明したように、本発明によれば、信号線に画素データを供給するアナログバッファ内にソースフォロワ回路を設け、このソースフォロワ回路の出力電圧が画素データ入力端子に入力される電圧に略等しくなるように第1～第3のスイッチを切替制御するため、アナログバッファの特性がばらついても、信号線電圧は変動しなくなり、表示品質が向上する。

【0041】また、ソースフォロワ回路や第1～第3のスイッチはすべてTFTで形成可能なため、表示素子が形成される基板上に一体に形成でき、実装面積を削減できる。

【図面の簡単な説明】

【図1】信号線駆動回路に内蔵されるアナログバッファの第1の実施形態の回路図。

【図2】液晶表示装置の概略構成を示すブロック図。

【図3】図2の各TFTスイッチの切り替えタイミングを示すタイミング図。

【図4】アナログバッファの第2の実施形態の回路図。

【図5】アナログバッファの第3の実施形態の回路図。

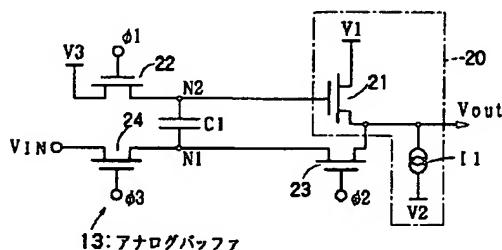
【図6】図5のアナログバッファの動作タイミングを示すタイミング図。

【図7】アナログバッファの第4の実施形態の回路図。

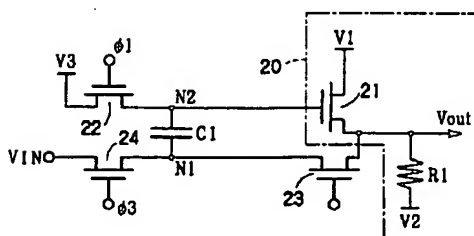
【符号の説明】

- 1 画素TFT
- 2 画素アレイ部
- 3 走査線駆動回路
- 4 信号線駆動回路
- 11 シフトレジスタ
- 12 アナログスイッチ
- 13 アナログバッファ
- 20 ソースフォロワ回路
- 21 TFT
- 22 第1のTFTスイッチ
- 23 第2のTFTスイッチ
- 24 第3のTFTスイッチ
- 25 第4のTFTスイッチ

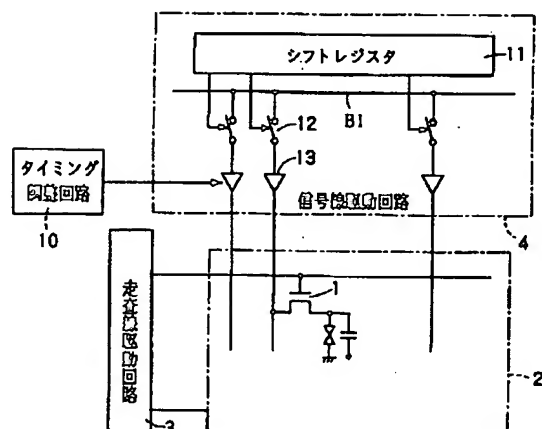
【図1】



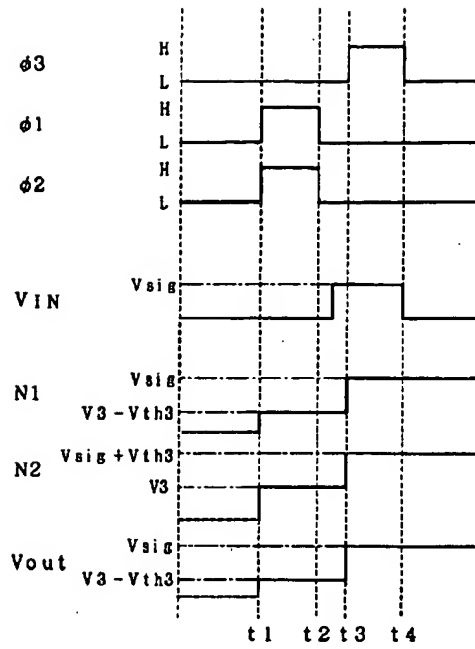
【図4】



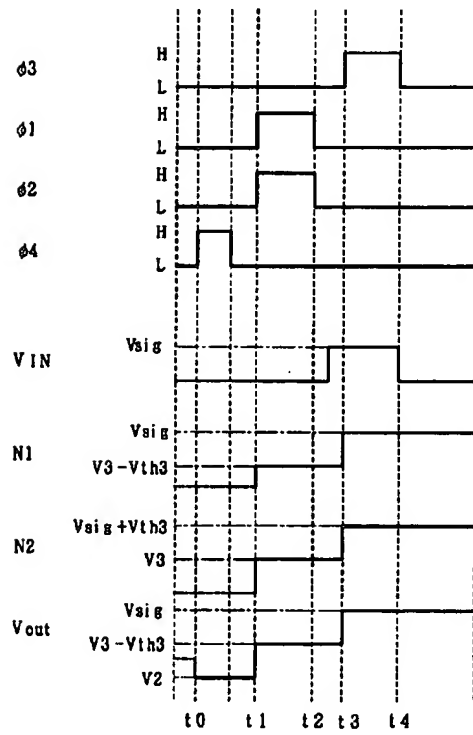
【図2】



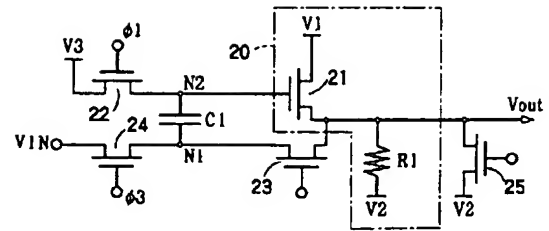
【図 3】



【図 6】



【図 5】



【図 7】

